

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-289423

(43)Date of publication of application : 18.10.1994

(51)Int.Cl.

G02F 1/136

G02F 1/133

H01L 29/784

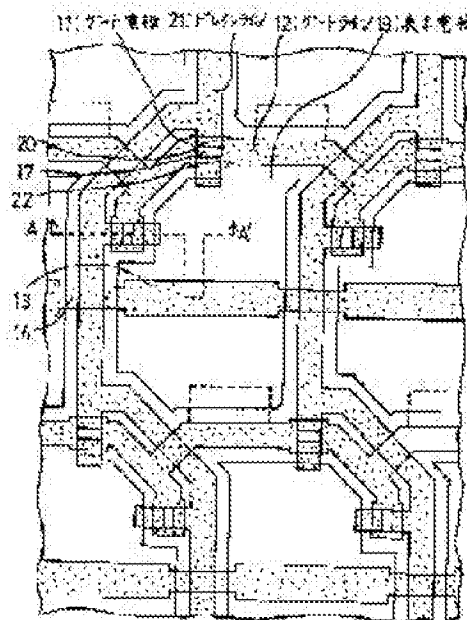
(21)Application number : 05-074219

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 31.03.1993

(72)Inventor : NISHIKAWA RYUJI

(54) LIQUID CRYSTAL DISPLAY DEVICE



(57)Abstract:

PURPOSE: To improve a yield by plural TFT structures and to prevent the lowering in opening rate by providing the display device with drain lines between pixel columns, diagonally forming the parts between rows and arranging the TFTs at both ends of these diagonal parts.

CONSTITUTION: The drain lines 21 are provided to extend vertically between the columns of the pixels and are formed diagonally in the parts between the rows so as to have the shapes to connect the columns of the rows adjacent to each other by a deviation in half pitch in the row direction to each other. The gate lines 12 intersect with each other in the diagonal parts of the drain lines 21, bend diagonally downward at the points diagonally above the parts near the intersected points thereof and intersect with the drain lines 21 at 90°. Further, the gate lines 12 are extended in parallel with the diagonal parts in the lower parts of the drain lines and both ends of the diagonal parts are integrated to gate electrodes 11 of the TFTs. Display electrodes 19 are disposed in the regions enclosed along the gate lines 12 and the drain lines 21 and are commonly connected to source electrodes 22 of the two TFTs.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-289423

(43) 公開日 平成6年(1994)10月18日

(51) Int. Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9119-2K	
	1/133	5 0 5	9017-2K	
H 0 1 L	29/784		9056-4M	
			H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平5-74219

(22) 出願日 平成5年(1993)3月31日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 西川 龍司

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

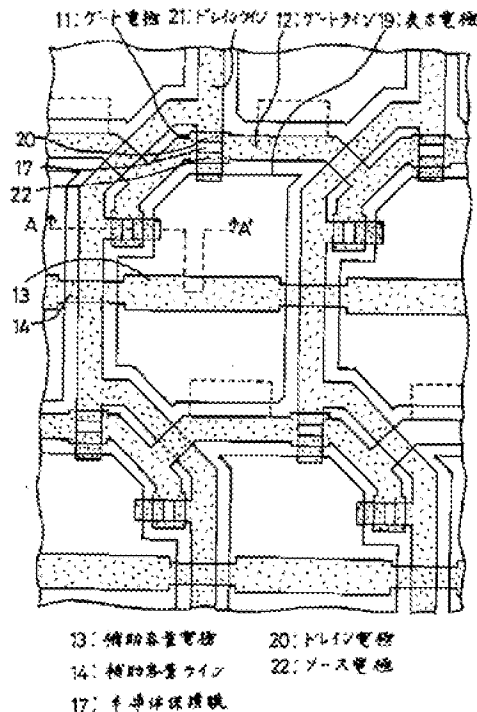
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 複数T F T構造のトライアングル形液晶表示装置で、高歩留まりと高開口率を達成する。

【構成】 ドレインラインの行間（または列間）の部分に斜めにとり、この斜めの部分の両端にT F Tを配置する。



【特許請求の範囲】

【請求項1】 絶縁性基板上に設けられた複数のゲートラインと、このゲートラインと交差して設けられた複数のドレインラインと、前記ゲートラインと一体のゲート電極、前記ドレインラインと一体のドレイン電極、前記ゲート電極の上層に設けられた半導体層、およびこの半導体層を間にして前記ドレイン電極と反対側に設けられたソース電極より少なくとも成り、前記絶縁性基板上にマトリックス状に二つずつ配置されたTFTと、前記ソ

ース電極と電気的に接続する表示電極とを少なくとも有する液晶表示装置であって、前記ゲートライン、前記TFTおよび前記表示電極より成る一つの構成単位である画素は、1行（または1列）おきに行（または列）方向に半ピッチずれており、前記ゲートラインは前記画素の行（または列）間に設けられ、前記ドレインラインは前記画素の列（または行）間に設けられ、且つ行（または列）間の部分が行（または列）方向に対して斜めに設けられ、この斜めの部分の両端にTFTが設けられ、前記表示電極は前記ゲートラインと前記ドレインラインに沿って囲まれた領域に設けられ、前記二つのTFTと共通に接続されていることを特徴とする液晶表示装置。

【請求項2】 前記ゲートラインは、前記ドレインラインと、前記ドレインラインの斜めの部分で直角に交差する形状をなしていることを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、開口率の低下を回避しつつ、一画素につき二つのTFTを設けて、高歩留まりを達成できるトライアングル形液晶表示装置に関する。

【0002】

【従来の技術】 近年、アクティブマトリックス型液晶表示装置は、小型、薄型、低消費エネルギーなどの利点があり、広く実用化されている。特に、画素が互いに三角形をなして配置されたトライアングル形はAV機器などに用いられている。従来、液晶表示装置は、その歩留りの低さに問題がある。特に、TFT不良による欠陥の救済法として複数のTFTを一画素に設ける構造がある。例えば特願平3-267686号に2TFTの構造の液晶表示装置の一例が示されている以下、図2、図3及び図5を用いて従来の液晶表示装置の例を説明する。図2は平面図、図3は図2のA-A'線に沿う断面図である。なお、図3の図番は本実施例と共用しているため括弧内のものを使用する。また、図5は、平面図である図5に示すごとく点線で示す表示電極（59）がトライアングル状に配置されており、一点鎖線で示すゲートライン（52）が行間を図の横方向に延在して配置されている。また、ドレインライン（61）は、実線で示されているように表示電極（59）の列間を図の縦方向

に延在されているが、奇数行と偶数行では、表示電極（59）の位置が互いに半ピッチずれているので、ドレインライン（61）は、奇数行の表示電極（59）の列間と、偶数行の表示電極（59）の列間を結ぶため、行間では図の横方向、すなわち前記ゲートライン（52）と平方方向になる形状をなしている。そして、ゲートライン（52）とドレインライン（61）が平行になっている部分には、二つのTFT（63）（64）がもうけられている。

【0003】 続いて、図2及び図3を用いて、従来の液晶表示装置の1画素の構造を説明する。まず、絶縁性基板（50）上に、例えばCrで成るゲート電極（51）、ゲート電極（51）と一体のゲートライン（52）、補助容量電極（53）、及び補助容量電極（53）と一体の補助容量ライン（54）が設けられている。そして、全面にSiNxで成るゲート絶縁膜（55）がもうけられており、ゲート絶縁膜（55）上の前記ゲート電極（51）に対応する部分にはa-Si層（56）、半導体保護膜（57）、N⁺a-Si層（58）、ドレイン電極（60）、及びソース電極（62）が設けられており、前記ゲート電極（51）および前記ゲート絶縁膜（55）と合わせて、TFTを形成している。

【0004】 また、前記ゲートライン（52）に直行する方向に、前記ドレイン電極（60）と一体のドレインライン（61）が、上で述べた形状を成して設けられている。そして、ITOで成る表示電極（59）が前記ソース電極（62）と電気的に接続されて設けられている。更に、図では省略したが、配向膜及び必要に応じてこの配向膜の下層にファイナルバシペーション膜が設けられて、TFT基板が構成されている。

【0005】 最後に、遮光膜、対向電極及び配向膜が設けられた対向基板を前記TFT基板と張り合わせ間に液晶を注入して、従来の液晶表示装置が得られる。

【0006】

【発明が解決しようとする課題】 以上に説明した従来の2TFT構造の液晶表示装置は、TFTが二つとも、不良になり欠陥が生じる場合が多く、歩留まりが低下していた。特に、a-Si（56）の表面（図3のBで示す部分）及びN⁺a-Si層（58）の表面（図3のAで示す部分）で酸化膜が生じると、TFTのドレイン・チャンネル間または／およびソース・チャンネル間の電気的導通が遮断されて、TFTが不動作となる場合がある。

【0007】 a-Si層（56）及びN⁺a-Si層（58）は、それぞれプラズマCVDで基板全面に成長形成した後、TFTの活性領域を除いた領域をエッチング除去して得られるが、a-Si及びN⁺a-Siは成長後、膜表面に酸化膜が生じる。通常、この酸化膜はエッチング除去するが、何らかの原因で完全には除去しき

れず部分的に残ってしまう場合がある。酸化膜が残った領域（以下、酸化膜領域と呼ぶ）に、TFTが形成されると、ドレイン・チャンネル間またはノおよびソース・チャンネル間で電氣的導通が遮断されて、TFTが不動作になる。従来の液晶表示装置は図2から明らかなように、二つのTFTが極めて近接して設けられているため、TFTが二つとも酸化膜領域内に形成される場合が多く点欠陥が増加していた。

【0008】

【課題を解決するための手段】本発明は、前述の課題に
10 みて鑑みて成され、ドレインラインを、画素の行間の部分を斜めにした形状で配置して、この斜めの部分の両端にTFTを配置することで解決するものである。

【0009】

【作用】ドレインラインの、従来のL字形の部分と本発明の斜めの部分でできる仮想的直角二等辺三角形において、従来のTFTは、直角二等辺三角形の直角をはさむ二辺のうち一辺の両端の位置に設けられていたが、本発明では直角二等辺三角形の斜辺の両端であるので、二つのTFTの距離が $\sqrt{2}$ 倍になる。従来例の図5と本発明
20 の実施例である図4を見比べれば、明らか図4の方がTFTの離間距離が大きくなっているのがわかる。

【0010】二つのTFTの距離が離れていれば、TFTを形成する位置が二つとも前述の酸化膜領域に含まれてしまう可能性が減少し、少なくとも一つのTFTは酸化膜領域の外で正常に作動でき、点欠陥が減少することになる。また、ドレインラインのL字形の部分を斜めにする
30 ことにより、従来よりドレインラインが短くなるため、基板に占めるドレインラインの総面積が減少するので、その分、表示領域が広がり開口率が向上することになる。

【0011】

【実施例】以下で、本発明の第1の実施例を図1、図3及び図4を用いて説明する。図3は、従来例と共用しているため、図番は括弧のついていないものを使用する。図4は液晶表示装置のTFT基板について、画素や配線の位置関係を示したものである。各画素が互いにトライアングル形を成して配置されており、例えば、奇数行の画素については、従来の長方形の画素の右上が斜めに切除された形をしており、偶数行の画素については左上が斜めに切除された形をしている。
40

【0012】実線で示されるドレインライン（21）は、画素の列間を図の縦方向に延在して設けられているが、行間の部分では従来例とは異なって斜めに形成されて、行方向に半ピッチずれて互いに隣接する行の列間を結ぶ形状をとっている。また、一点鎖線で示すゲートライン（12）は、ドレインライン（21）の斜めの部分で交差するが、この交差点近傍の交差点の斜め上方の地点で、斜め下方に折れ曲がりドレインライン（21）と90°で交差する。更に、ドレインライン（21）の下
50

部では、ドレインライン（21）の斜めの部分に平行に延在されて、斜め部分の両端がTFT（23）（24）のゲート電極（11）と一体と成っている。上側のTFT（23）のゲート電極（11）はそのままゲートライン（12）の本線の一部となっている。

【0013】また、点線で示される表示電極（19）はゲートライン（12）及びドレインライン（21）に沿って開かれた領域に設けられ、二つのTFTのソース電極（22）と共通に接続されている。続いて、図1及び図3を用いて、一つの画素についての構造を製造方法も交えて説明する。図1は平面図、図3は図1のA-A'線に沿う断面図である。先ず、透明な絶縁性基板（10）上に例えばCrを1500Åの膜厚でスパッタリングしてパターン化し、前述の形状のゲートライン（12）、ゲートライン（12）の一部であるゲート電極（11）、補助容量電極（13）、補助容量電極（13）と一体の補助容量ライン（14）を形成する。次に4000ÅのSiNxまたはSiO₂をプラズマCVDで成膜してゲート絶縁膜（15）とする。ゲート絶縁膜（15）は短絡の防止のために、SiNxまたはSiO₂を二度にわけて成膜するか、下層がSiO₂、上層がSiNxの二層絶縁膜としてもよい。

【0014】続いて、a-Si及びSiNxをプラズマCVDで、それぞれ1000Å及び2500Åの膜厚で成長させ、SiNxをパターン化して半導体保護膜（17）を形成する。更に、N⁺a-SiをプラズマCVDで500Å形成した後、N⁺a-Siとa-Siを同一パターンでエッチングしてa-Si層（16）及びN⁺a-Si層（18）とする。

【0015】次に、ITOをスパッタリングし、パターン化して表示電極（19）を形成する。そして、Moを1000Å、Alを7000Åスパッタリングして、パターン化し前述の形状のドレインライン（21）、ドレインライン（21）と一体のドレイン電極（20）、及び前記表示電極（19）と電氣的接続を持つソース電極（22）を形成する。

【0016】そして、図では省略したが、ファイナルバシベーション膜及び配向膜を設けて、更に、遮光膜、対向電極および配向膜を有した対向基板と貼り合わせ、中に液晶を注入して本発明の実施例である液晶表示装置が完成する。本発明の特徴は、行間（または列間）をドレインライン（21）が行（または列）に対して斜め方向に横切る形状を持ち、二つのTFTが、ドレインライン（21）の斜め部分の両端の位置に設けられているところにある。

【0017】液晶表示装置の製造過程において、前述のごとくa-Si及びN⁺a-SiをそれぞれプラズマCVDで成長させるが、空気中に露出されることによりN⁺a-Siの膜表面に絶縁性のSiO₂膜が生じる。通常、SiO₂はエッチング除去して次工程へ移るが、何

らかの原因で SiO_2 が残ってしまう場合がある。TFTを形成する位相が、この SiO_2 膜が残った領域に含まれてしまうと、ドレイン・チャンネル間または/およびソース・チャンネル間の導通が、 SiO_2 膜によって断絶されてTFTが動作不良となり、点欠陥が生じることになる。

【0018】また、プラズマCVDで $a-Si$ と $SiNx$ を連続成膜して、 $SiNx$ をパターン化して半導体保護膜(17)を形成する際、第1洗浄、レジスト塗布、エッチング、レジスト剥離および第2洗浄の工程があるが、特に第2洗浄の時に噴霧状の水蒸気が基板に付着して、 SiO_2 膜が生じる場合もある。また、 $SiNx$ をエッチングする時、 $a-Si$ 膜上に $SiNx$ 膜が残ることもある。更に、製造装置内に存在する微粒子が、製造途中の基板に付着して、TFTの不良を招くこともある。この微粒子が油性分で、エッチング前に付着すると、やはり SiO_2 膜が生じる。

【0019】いずれにしても、さまざまな原因で製造途中の基板表面に、不要な絶縁性の領域が生じていて、この領域内にTFTが形成されるとこのTFTは不良となり、点欠陥につながっていた。これらの不良原因を突き止めて改善することは可能であるが、これらの不良を全く無くすることは困難である。二つのTFTを距離を離して配置すれば、一方のTFTが絶縁性の領域内で不動作となっても、他方のTFTが絶縁性の領域外で正常に作動する可能性が増えるので、その分、点欠陥の発生率が低下し、歩留まりが向上することになる。従来のトライアングル形2TFT構造では、図2および図5からわかるように、二つのTFTは、両素の行間でゲートライン(52)とドレインライン(61)が平行に近接している部分に配置されているので、距離を離すのは約半ピッチ以内が限度である。すなわち、二つのTFTは、極めて近接して配置されているので、両方のTFTが前述の絶縁性の領域に含まれてしまう場合が多かった。

【0020】本発明では、ドレインライン(21)の行間(または列間)の部分に斜め、例えばゲートライン方向に対して 45° の角度にとり、この斜めの部分の両端にTFTを配置することによって、前述の作用の項で触れたように従来より $\sqrt{2}$ 倍、つまり40%大きく距離をとることができる。二つのTFTを離す構造としては、実開昭61-109487号公報で示されている方法で、配線を増やして表示電極の一辺の両端にTFTを配置することも考えられるが、これでは開口率低下の問題を招くことになる。一般に、2TFT構造の液晶表示装置は1TFTに比べて、TFTの領域が広い分表示領域が狭く、開口率が低下していたが、本願の構造では、従来のドレインライン(61)のL字形の部分に斜めにとる分、ドレインライン(21)が短くなり、基板全体に占めるドレインライン(21)の総面積が小さくなるので、2TFT配置による表示領域の減少をくいとめるこ

とができる。

【0021】また、特開昭56-77887号公報の第8図(a)および第9図で示されている方法を使って、TFTを表示電極の対角位置に配置すれば、最大の距離を確保できる。しかし、この構造では、救済用となるTFTは近隣の両素と共用であり、正常な信号電圧をつたえるものではないため、救済方法としては不完全である。

【0022】また、本発明では、ドレインライン(21)の特徴的な形状のためゲートラインを真直ぐに延在すると、ドレインライン(21)とゲートライン(12)が斜めに交差して、その分ドレインライン(21)とゲートライン(12)の重量部の面積が増加しショートが発生率が上昇する恐れがある。そのため、ドレインライン(21)とゲートライン(12)が直角に交差するように、交差点近傍でゲートライン(13)を斜めにとっている。

【0023】第2の実施例として、図1の点線でしめされるようにゲートライン(12)の一部を図の上方に拡大して、表示電極(19)との重量部で付加容量を形成し、代わりにゲート電極(11)およびゲートライン(12)と同層の補助容量電極(13)及び補助容量ライン(14)を省略する構造がある。この場合、二つのTFTのうちの下側のTFT(図4の24でしめされるもの)から更に、ゲートライン(12)を下方向に延在して、延在した先に新たにTFTを形成すれば、二つのTFTは第1の実施例より更に距離を大きくとることができる。

【0024】第1及び第2の実施例のいずれも、本願の特徴的なドレインライン(21)の形状のため、従来のドレインライン(21)の形状で2TFT間に同じだけの距離をとった場合よりも開口率が向上することになる。

【0025】

【発明の効果】本発明で、複数TFT構造による歩留まりの向上が達成され、また、複数のTFTの欠点である開口率の低下を防止することができた。更に、ドレインラインとゲートラインの重量部でのショートの増加を防ぐことができた。

【図面の簡単な説明】

【図1】本発明の実施例である液晶表示装置の平面図である。

【図2】従来の液晶表示装置の平面図である。

【図3】図1及び図2のA-A'線に沿った断面図である。

【図4】本発明の実施例である液晶表示装置の平面図である。

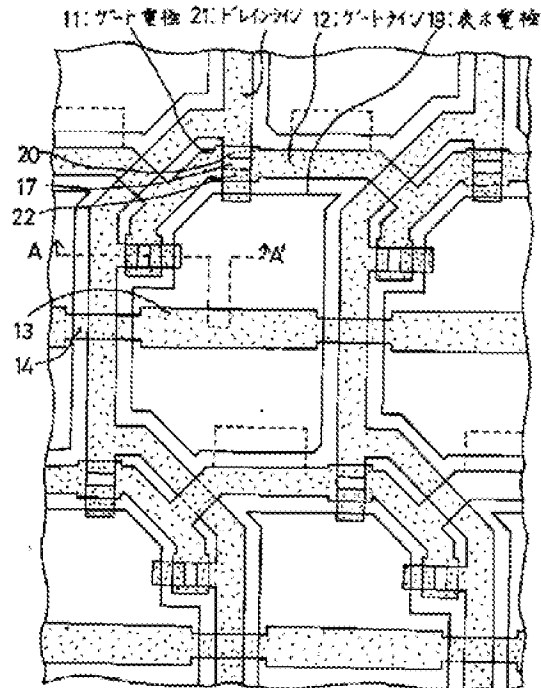
【図5】従来の液晶表示装置の平面図である。

【符号の説明】

11 ゲート電極
12 ゲートライン

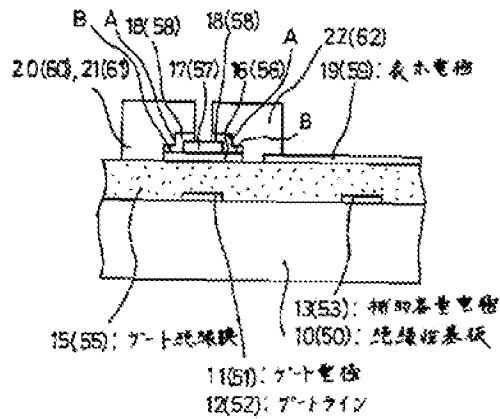
- 7
- 16 a-Si層
18 N⁺a-Si層
19 表示電極
20 ドレイン電極

【図1】



- 13: 補助容量電極
14: 補助容量ライン
17: 半導体保護膜
20: ドレイン電極
22: ソース電極

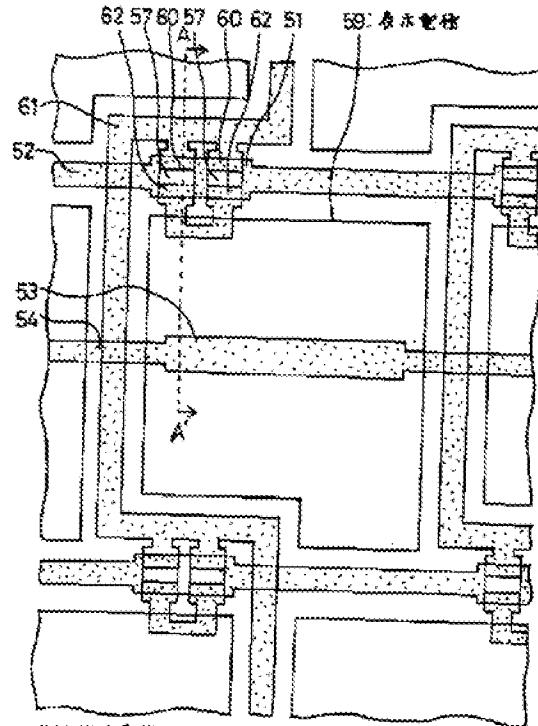
【図3】



- 15(56): a-Si層
17(57): 半導体保護膜
18(58): N⁺a-Si層
19(59): 表示電極
20(60): ドレイン電極
21(61): ドレインライン
22(62): ソース電極

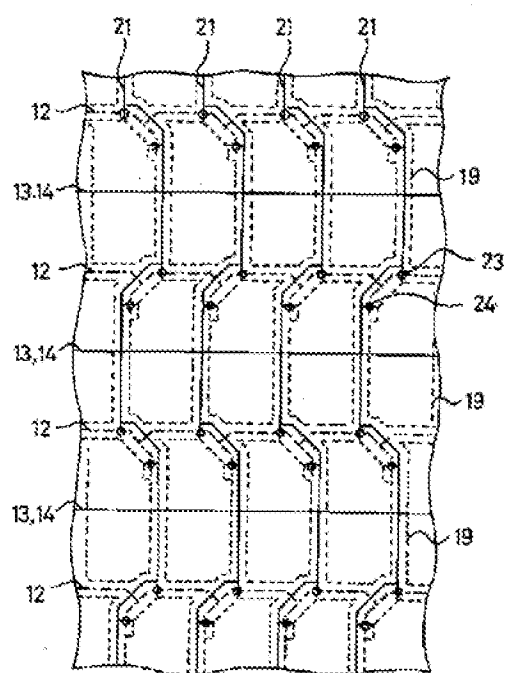
- 8
- 21 ドレインライン
22 ソース電極
23, 24 TFT

【図2】



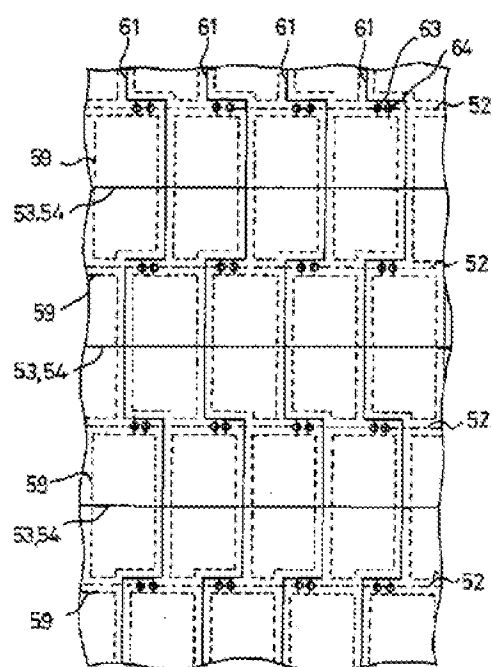
- 51: ゲート電極
52: ゲートライン
53: 補助容量電極
60: ドレイン電極
61: ドレインライン
62: ソース電極

【図4】



12: プートライン 19: 表示電極
 13: 補助容量電極 21: トレインライン
 14: 補助容量ライン 23, 24: TFT

【図5】



52: アートライン 59: 表示電極
 53: 補助容量電極 61: ドレインライン
 54: 補助容量ライン 63, 64: TFT